

Reference 3

Japanese Patent Application Public-disclosure No. 3-30022
Japanese Patent Application Public-disclosure date: February
8, 1991
Title of the invention: Information processor
Japanese Patent Application No. 1-166082
Japanese Patent Application date: June 27, 1989

[Embodiment]

An embodiment of the present invention will be described in detail with reference to the attached drawings.

Fig. 1 is a block diagram illustrating an information processor according to an embodiment of the present invention.

Buffer 1 is disposed between pre-fetch part 2 and execution part 3. Write address register 11 holds a write address for the buffer 1 and is counted up by 1 in response to a write instruction signal 141 to the buffer 1. Read address register 12 holds a read address for the buffer 1 and is counted up by 1 in response to a read instruction signal 301 sent from the execution part 3. Empty/full detection circuit 13 checks the state of the buffer 1 on the basis of the values in the read address register 12 and write address register 13 and the write instruction signal 201 and read instruction signal 301 output from the pre-fetch part 2, and if it transpires that the buffer 1 is full, the circuit 13 outputs a full signal 131, whereas if the buffer 1 is empty, it outputs an empty signal 132. Malfunction detection circuit 5 senses it when the pre-fetch part 2 outputs the write instruction signal 201 while the full signal 131 is being output from the empty/full detection circuit 13. When the malfunction detection circuit 5 detects an error, write to the buffer 1 and buffer 4, which is controlled by the same address as the buffer 1, is controlled by signal 501. First, AND circuit 14 inhibits the write instruction signal 201 from the pre-fetch part 2, so that the write address register 11 is not counted up. As a result of the inhibition of the write instruction signal 201, output information of the pre-fetch part

2, which is inhibited from being written, is lost, and therefore, execution of an instruction corresponding to the information becomes impossible. Buffer 4 is a buffer corresponding to a malfunction indication area. The buffer writes in a location of a word, which is inhibited from being written due to occurrence of an error, that the error occurred and reports the error to the execution part 3 at a timing such that the execution part 3 reads out the lost information.

Just as is the case with the buffer 1, a read address and write address for the buffer 4 are also designated by the read address register 12 and write address register 11 respectively. In response to the write instruction signal 201 sent from the pre-fetch part 2, data of error detection signal 501 is written. By the first read operation after malfunction, data written in the same location as the location of the word, which was inhibited from being written due to the malfunction, is read. Since write was inhibited, information indicating the error is read from the malfunction indication area of the same word in buffer 4, although target data is secured. The error indication corresponds to the inhibited data and does not correspond to the data that was read out. Thus, an error indication by the first read operation subsequent to malfunction needs to be invalidated. To that end, a value read from the buffer 4 is passed through the AND circuit 41 and masked by signal 502 output from the malfunction detection circuit 5. The signal 502 indicates "0" until the first read operation subsequent to malfunction and indicates "1" from the second read operation onward. Therefore, data read from the buffer 4 is invalidated only when it is read for the first time after malfunction. When an error is reported via the signal line 411, the execution part 3 immediately suspends a process, identifies an instruction that caused the error and instructs the information processor to retry the instruction being executed by the execution part 3.

Fig. 2 is a block diagram specifically illustrating the malfunction detection circuit 5.

The error detection signal 501 is output when the write

instruction signal 201 is sent from the pre-fetch part 2 despite that the full signal 131 is being sent from the circuit 13 to the pre-fetch part 2. Further, once the error indication signal 601 is sent, the flag 52 is set and the error detection signal 501 continues error indication. The signal 502 is a signal for invalidating a first error indication to be read after malfunction. The instant when the malfunction detection circuit 5 detects an error, the flag 53 is set. Since the flag 53 is reset when the execution part 3 outputs the read instruction signal 301, data read from the buffer 4 is masked only at the time of first read operation subsequent to malfunction and is not masked thereafter.

[Effect of the invention]

According to the present invention, when an error is detected in controlling write to a buffer disposed between a pre-fetch part and an execution part, an instruction that caused the error is identified and the error is reported at the execution stage, whereby retry of the instruction becomes possible.

⑫ 公開特許公報(A)

平3-30022

⑮ Int. Cl.⁵G 06 F 9/38
11/14

識別記号

3 8 0 A
3 1 0 N

庁内整理番号

7361-5B
9072-5B

⑭ 公開 平成 3 年(1991) 2 月 8 日

審査請求 未請求 請求項の数 1 (全 4 頁)

⑮ 発明の名称 情報処理装置

⑯ 特 願 平1-166082

⑰ 出 願 平 1 (1989) 6 月 27 日

⑱ 発 明 者 浅 野 貞 二 山梨県甲府市丸の内 1 丁目 17 番 14 号 甲府日本電気株式会社内

⑲ 出 願 人 甲府日本電気株式会社 山梨県甲府市大津町 1088-3

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

〔従来の技術〕

1. 発明の名称

情報処理装置

2. 特許請求の範囲

1. バイブライン構成の情報処理装置において、

命令ブリフェッチ部と演算実行部間にあるバッファが一杯であるにもかかわらず命令ブリフェッチ部が誤動作してさらに情報をバッファに書き込みようとした時、情報の書き込みを抑止する手段と、

書き込みようとしたバッファ内同一ワードの誤動作表示エリアにその旨を書込む手段と、

演算実行部が書き込みを抑止された情報を読もうとした時、誤動作表示エリアの情報によりエラーを認識し、エラーを発生した命令を特定する手段を有することを特徴とする情報処理装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はバイブライン構成の情報処理装置に関し、特に命令ブリフェッチ部と演算実行部間にあるバッファの制御方式に関する。

従来、バイブライン構成の情報処理装置においてはブリフェッチ部と演算実行部間の実行速度の差を吸収することを目的としてバッファが設けられている。

ある命令の実行速度が例えばブリフェッチ部では 1 T、演算実行部では 3 T かかるような場合で同様の命令が連続してもブリフェッチ部は処理結果として演算実行部へ受け渡す各制御情報をバッファへ格納することにより、演算実行部での処理状況を意識することなく次の命令の処理へ移ることができる。逆に、ブリフェッチ部で 3 T、演算実行部で 1 T かかる命令が現れても演算実行部はバッファ内の制御情報が尽きるまでブリフェッチ部の処理状況を意識することなく順次命令を処理できる。バッファが一杯になった場合、ブリフェッチ部が次にバッファに書き込まないようにブリフェッチ部にフル信号を送り、ブリフェッチ部を待ち状態にする。この待ち状態は演算実行部がバッファより読出し、バッファに空きができた時

に解除される。バッファが空になった場合、演算実行部へエンブティ信号を送り、バッファに次の制御情報がセットされるまで演算実行部を待ち状態にする。エンブティ信号、フル信号は、バッファのリードポインタ、ライトポインタおよびリード指示信号、ライト指示信号の状態により判定され作られる。

このようなバッファでプリフェッチ部からの書込み時、何らかの障害が発生し、バッファがフル状態であるにもかかわらず、書込みをしようとした場合、従来は、ライトポインタがリードポインタを追い越したことを検知することでエラーと判断していた。

〔発明が解決しようとする課題〕

上述した従来の障害の検出方式では、エラーを起した命令を限定することが難しく、誤動作時の書込みを許すため、障害が複数の命令へ伝播してしまい、命令の再試行やプロセッサリリーフなどの障害処理が不可能になってしまうという欠点がある。

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示す情報処理装置のブロック図である。

プリフェッチ部2と演算実行部3の間にバッファ1が設けられている。ライトアドレスレジスタ11はバッファ1のライトアドレスを保持するレジスタであり、バッファ1へのライト指示信号141により+1カウントアップする。リードアドレスレジスタ12はバッファ1のリードアドレスを保持するレジスタであり、演算実行部3より送られるリード指示信号301により+1カウントアップする。エンブティ／フル検出回路13はリードアドレスレジスタ12、ライトアドレスレジスタ11の値およびプリフェッチ部2出力のライト指示信号201とリード指示信号301よりバッファ1の状態をチェックし、バッファ1が一杯の時はフル信号131を、空の時はエンブティ信号132をそれぞれ出力する。誤動作検出回路5は、エンブティ／フル検出回路13の出力する

〔課題を解決するための手段〕

本発明の情報処理装置は、命令プリフェッチ部と演算実行部間にあるバッファが一杯であるにもかかわらず命令プリフェッチ部が誤動作してさらに情報をバッファに書込もうとした時、情報の書込みを抑止する手段と、書込もうとしたバッファ内同一ワードの誤動作表示エリアにその旨を書込む手段と、演算実行部が書込みを抑止された情報を読もうとした時、誤動作表示エリアの情報により、エラーを認識し、エラーが発生した命令を特定する手段を有する。

〔作 用〕

バッファが一杯であるにもかかわらず、命令プリフェッチ部が誤動作して、情報をバッファに書込もうとした時、その旨が誤動作表示エリアに書込まれる。そして演算実行部が書込みを抑止された情報を読もうとした時、誤動作表示エリアよりエラーを認識してエラーが発生した命令を特定するので、その命令を再試行できる。

〔実施例〕

フル信号131が出力されている状態でプリフェッチ部2がライト指示信号201を出力した場合を検出する。誤動作検出回路5がエラーを検出した場合、信号501により、バッファ1およびバッファ1と同一アドレスで制御されるバッファ4への書込みが制御される。まず、アンド回路14によりプリフェッチ部2からのライト指示信号201は抑止され、ライトアドレスレジスタ11のカウントアップもされない。ライト指示信号201が抑止された結果、書込みが抑止されたプリフェッチ部2の出力情報は失われてしまうため、その情報に対応する命令の演算は実行不可能となる。バッファ4は誤動作表示エリアに対応するバッファであり、エラー発生により書込みが抑止されたワード位置にその旨書込み、演算実行部3が失われた情報を読出すタイミングでエラーを演算実行部3へ報告することを目的としている。バッファ4はバッファ1と同じくリードアドレスレジスタ12、ライトアドレスレジスタ11によりリードアドレス、ライトアドレスが指定され

る。ライト指示はプリフェッチ部2から送られるライト指示信号201により、信号線501のデータが書込まれる。誤動作後の最初のリード動作で、誤動作により書込みが抑止されたワード位置と同一位置に書込まれているデータを読みに行く。書込みが抑止されたため、目的のデータは保障されるが、同一ワードのバッファ4の誤動作表示エリアはエラーを表示した情報が読出されてしまう。このエラー表示は抑止されたデータに対応するものであり、読出されたデータとは対応していない。したがって、誤動作後最初のリードによるエラー表示は無効にする必要がある。そのため、誤動作検出回路5より出力される信号502でバッファ4から読出された値をアンド回路41を通しマスクする。信号502は誤動作後1回目のリードがされるまでの間“0”を示し、2回目以降のリード時は“1”を示す。したがって、バッファ4から読出されるデータは、誤動作後1回目のリードのみ無効となる。演算実行部3は信号線411でエラーが報告されると、ただちに処

理を中断し、エラーを発生した命令を特定した後、情報処理装置に対し、現在演算処理装置3で実行中の命令より再試行を指示する。

第2図は誤動作検出回路5の詳細なブロック図である。

エラー検出信号501は、回路13よりフル信号131がプリフェッチ部2へ送られているにもかかわらず、プリフェッチ部2よりライト指示信号201が送出された場合に出力される。また、一旦エラー表示信号601が送出されると、フラグ52がセットされ、エラー検出信号501はエラー表示し続ける。信号502は誤動作後、最初に読出されるエラー表示を無効にするための信号である。誤動作検出回路5でエラーを検出すると同時にフラグ53がセットされる。フラグ53は演算実行部3がリード指示信号301を出力するリセットされるので、バッファ4より読出されるデータは誤動作後最初の読出し時のみマスクされ、それ以降はマスクされない。

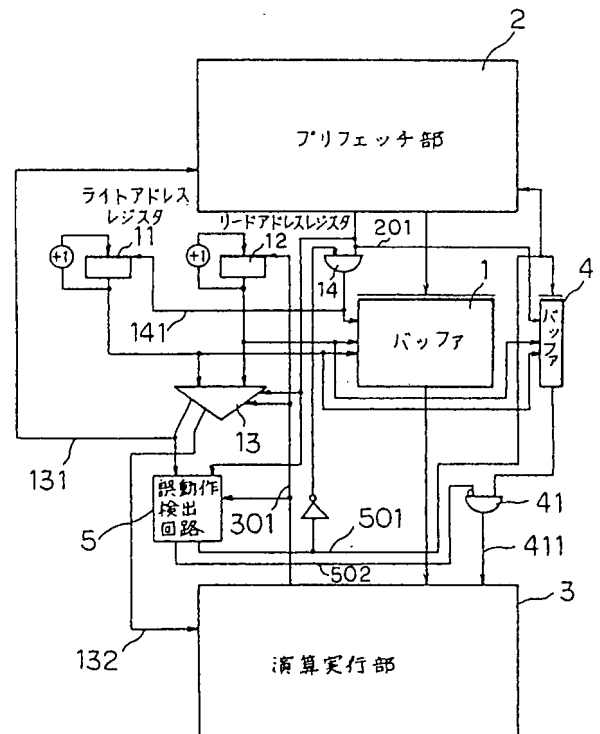
〔発明の効果〕

以上説明したように本発明は、プリフェッチ部と演算実行部間のバッファへの書込み制御でエラーを検出した場合、エラーを発生したバッファ内情報の属する命令を特定し、その命令が演算実行される段階でエラーを報告することにより、その命令の再試行を可能とするという効果がある。

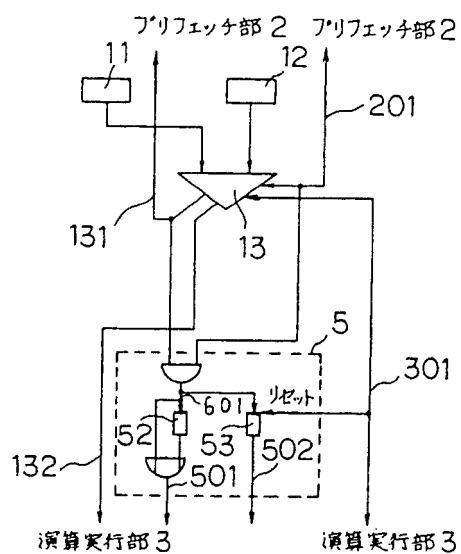
4. 図面の簡単な説明

第1図は本発明の一実施例を示す情報処理装置のブロック図、第2図は第1図の誤動作検出回路5の詳細ブロック図である。

- 1 … バッファ、
- 2 … プリフェッチ部、
- 3 … 演算実行部、
- 4 … バッファ、
- 5 … 誤動作検出回路、
- 11 … ライトアドレスレジスタ、
- 12 … リードアドレスレジスタ、
- 13 … エプティ／フル検出回路、
- 14, 41 … アンド回路、
- 52, 53 … フラグ。



第1図



第 2 図